

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## THIN FILM TRANSISTOR

PUB. NO.: 01-068728 [JP 1068728 A]

PUBLISHED: March 14, 1989 (19890314)

INVENTOR(s): WAKAI HARUO

YAMAMURA NOBUYUKI

APPLICANT(s): CASIO COMPUT CO LTD [350750]

(A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 62-225821 [JP 87225821]

FILED: September 09, 1987 (19870909)

## ABSTRACT

PURPOSE: To securely connect a transparent picture element electrode and a source electrode without increasing the thickness of the transparent picture element electrode by connecting the transparent picture element electrode and source electrode through a contact hole by a conductive part of two-layered structure formed by providing a metallic layer on the transparent picture element electrode.

CONSTITUTION: The contact hole 19 is formed in a transparent insulating layer 18 from the top surface to the source electrode 13, and transparent picture electrodes 5 of 500-1,000 angstroms in thickness are formed on its internal surface and a transparent insulating layer 18. Further, a metallic layer 20 whose thickness is almost twice as large as the depth of the contact hole 19 is provided to constitute the two-layered structure of the metallic layer 20 and transparent picture element electrode below it. Consequently, the transparent picture element electrode 5 on the transparent insulating layer 18 and the source electrode 13 are connected electrically through the two-layered structure. Thus, the thick metallic layer 20 is adhered to fill the contact hole 19, so the connection is made sure.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A)

昭64-68728

⑪ Int. Cl.

G 02 F 1/133  
H 01 L 27/12  
29/78

識別記号

327  
311

厅内整理番号

7370-2H  
A-7514-5F  
A-7925-5F

⑪ 公開 昭和64年(1989)3月14日

審査請求 未請求 発明の数 1 (全: 頁)

⑫ 発明の名称 薄膜トランジスタ

⑬ 特願 昭62-225821

⑭ 出願 昭62(1987)9月9日

⑮ 発明者 石井 靖夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑯ 発明者 山村 信幸 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑰ 出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

## 明細書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

透明地盤基板上に形成された、少なくともゲート電極、ゲート地盤層、半導体層、ドレイン電極及びソース電極より成るトランジスタ構造と、

前記透明地盤基板上に前記トランジスタ構造を覆って形成された透明地盤層と、

該透明地盤層にその裏面から前記ソース電極まで形成されたコンタクトホールと、

該コンタクトホール内及び前記透明地盤層上に形成された透明電極と、

少なくとも前記コンタクトホール内及びその近傍の透明電極上に形成され、該透明電極とで2層構造を構成する金属層とを備えたことを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

## (発明の技術分野)

本発明は、アクティブラトリクスディスプレイ

等にスイッチング素子として使用される薄膜トランジスタ (Thin Film Transistor, 以下 TFTと称す) に関する。

## (従来の技術)

第4図はTV等の画像表示装置として利用されているアクティブラトリクスディスプレイの断面図である。アクティブラトリクスディスプレイには、その一方の側にマトリクスパネル10を備えている。このマトリクスパネル10は、ガラスの如き透明な地盤基板2上にマトリクス状に配列された各要素間に設けられた透明電極3と、これら透明電極3間に交差するように走っている信号線(ドレイン線)4と、各透明電極3毎に配線形成されたTFT6とからなっている。また、マトリクスパネル10と対向する側には、一面に透明電極3の形成されたガラス基板9を備え、マトリクスパネル10と透明電極3との間に液晶7を封入することによってアクティブラトリクスディスプレイが構成されている。

## 特開昭64-68728 (2)

第5図は、第4図に示したマトリクスパネル13内の任意のTFT6及びその近傍における電極及び配線の配置状態を示した平面図である。第5図に示すように、TFT6の底面領域において、走査線4を信号線3との交差部分でわずかに突出させ、この突出部をTFT6のゲート電極14とすると共に、このゲート電極14上に半導体層16を介して位置する信号線3の一部をTFT6のドレイン電極12とし、またゲート電極14上の半導体層16上から透明酸素電極5上にかけて電極を形成し、これをTFT6のソース電極13としている。

第6図は、第5図に示したTFT6及びその近傍のA-A'拡大断面図である。第6図に示すように、绝缘基板2上にゲート電極14が形成され、このゲート電極14上及び绝缘基板2上を覆って酸化シリコン若しくは窒化シリコン等の绝缘層(ゲート绝缘膜)11が形成される。ゲート電極14の上方及びその近傍には、绝缘層11を介してアモルファスシリコン(a-Si)等からなる半

導体層16が形成される。更に绝缘層11上には、半導体層16と近接した位置に、ITO (Indium-Tin-Oxide) 等からなる透明酸素電極5が形成される。半導体層16上であってゲート電極14の両端部の上方には、ハイドロゲンのコンタクト層15を介してドレイン電極12とソース電極13が形成される。この際、ソース電極13の一部が透明酸素電極5に接触される。このように構成されたTFT6は、ゲート電極14とドレイン及びソース電極12、13とが半導体層16に関して互いに異なる平面上にあらうので、遮断部と称されている。

## (従来技術の問題点)

第4図～第6図で示したTFT6では、上述したように、透明酸素電極5とソース電極13及びドレイン電極12とが同一平面上に配置されている。そのため、特に第5図に示した電極等の配置状態から明らかなる様に、ドレイン電極12から延びた信号線3と透明酸素電極5との間で短絡を生じ易いという問題がある。

そこで、このような短絡を防止するために、透明酸素電極5と信号線3間に、これらを形成する場合の加工精度及びアライメント精度から決定される一定の間隔を設けるようにしている。この間隔は、通常、例えば20μm以上という大きな値である。ところが、このような広い間隔を設ければ、上記の短絡は防止されるが、その反面、透明酸素電極5の面積が小さくなり、すなわち、有効表示面積が小さくなってしまうという問題点が生じる。例えば、マトリクスパネル13上の1つの像素に割り当てられた面積に対する透明酸素電極5の面積の割合である開口率は、上記間隔を最小限の20μmとした場合であっても、50%程度と非常に小さくなってしまう。

この様な問題を解決するため、本発明者は、ソース及びドレイン電極上を透明绝缘膜で覆い、この透明绝缘膜上に透明酸素電極を形成し、これと同時に、透明酸素電極とソース電極とをコンタクトホールを介して接続する構成のTFTを開発した。

ところが、透明酸素電極及びこれとソース電極とのコンタクト領域がスパッタリングによって同時工程で形成されることから、以下のような問題点を生じることがわかった。すなわち、前述した短絡を確実に防止する必要により透明绝缘膜に十分な厚みを持たせているが、これに伴い上記コンタクトホールの深さも2000～3000μm程度と深くなる。そのため、従来の厚さ(500μm程度)の透明酸素電極では上記コンタクト領域が飛くなり、特にコンタクトホール入口の角部で切削が生じ易くなる。そこで、透明酸素電極とソース電極とを同時に接続させるだけの厚みを上記コンタクト領域に持たせることも考えられるが、このようにするためには、これと同時に形成される透明酸素電極の厚みをも2000μm以上に厚くしなければならない。しかし、このように透明酸素電極の厚みが増加すると、その加工精度が低下すると共に、光透過率の低下という問題も生じてくる。

## (発明の目的)

本発明は、上記問題点に鑑み、透明酸素電極と

特開昭64-68728(3)

ドレイン電極（ドレイン線）間の短絡を無くし、同時に有効表示面積を広げて広くとることができ、しかも透明セラミック電極の厚みを増加させることなしに透明セラミック電極とソース電極間を確実に接続できる TFT を提供することを目的とする。

（発明の要点）

本発明は、上記目的を達成するために、トランジスタ領域の形成された透明绝缘基板上を透明绝缘層で覆い、その上に透明セラミック電極を設け、更に透明セラミック電極上に金属層を設けてなる。構成の導電部によりコンタクトホールを介して透明セラミック電極とソース電極とを接続したことを要点とする。

（実施例）

以下、本発明の実施例について、図面を参照しながら説明する。

第1図は本発明の一実施例の構成を示す断面図であり、第2図は本実施例の TFT をアクティブマトリクスディスプレイ（第4図参照）に採用した場合の同一 TFT 及びその近傍における電極及び

配線の配置状態を示す平面図である。すなわち、第2図の日一日並大断面図が第1図に相当する。

まず、透明な绝缘基板 2 上には、第1図に示すように厚さ1000人程度のゲート電極 1 が形成され、更に第2図に示すように上記ゲート電極 1 に接続された走査線（ゲート線） 4 が長く延びて配線されている。これらゲート電極 1 及び走査線 4 は、第1図に示すように、厚さ3000人程度の绝缘層（ゲート绝缘膜） 1 として覆われている。ゲート電極 1 の上方及びその近辺には、绝缘層 1 に介して、アモルファスシリコン等からなる厚さ1000人程度の半導体層 1 6 が形成されている。この半導体層 1 6 上であってゲート電極 1 の両端部の上方には、高濃度のアモルファスシリコン等からなる厚さ 500 人程度のコンタクト層 1 5 を介して、それぞれ厚さ1000人程度のドレイン電極 1 2 とソース電極 1 3 が形成されている。また绝缘層 1 上には、第2図に示すように、走査線 4 と交差して信号線（ドレイン線） 3 が長く延びて配線され、その半導体層 1 6 上の領域が上記ドレ

イン電極 1 2 となっている。

更に、本実施例では、上述したようなゲート電極 1 4 、绝缘層 1 1 、半導体層 1 6 、コンタクト層 1 5 、ドレイン電極 1 2 及びソース電極から構成されるトランジスタ領域と、信号線 3 及び走査線 4 とが、第1図に示すように、裏面の平坦な透明绝缘層 1 8 によって覆われている。透明绝缘層 1 8 の上面からドレイン電極 1 2 及びソース電極 1 3 までの厚さは、例えば3000人程度である。このような透明绝缘層 1 8 の上面からソース電極 1 3 にかけてコンタクトホール 1 9 が設けられ、その内面及び透明绝缘層 1 8 上には厚さ 500 人程度の透明セラミック電極 5 が形成されている。更にコンタクトホール 1 9 の深さの約 2 倍 (6000 人) 程度の厚さを持つ金属層 2 0 が設けられ、この金属層 2 0 とその下の透明セラミック電極 5 とで 2 層構造をなしている。このことにより透明绝缘層 1 8 上の透明セラミック電極 5 とソース電極 1 3 とは上記 2 層構造を介して電気的に接続される。

以上のように構成された本実施例の TFT では、

第1図に明らかなように、ドレイン電極 1 2 及びこれに接続されて延びている信号線 3 ）と透明セラミック電極 5 とが透明绝缘層 1 8 を介して互いに隣りなる平面上に形成されている。このことから、第6図に示したように各電極を同一平面上に形成した従来の TFT の構造と比較して、上記信号線 3 と透明セラミック電極 5 間の距離（上下方向の距離）を大きくとることができ、よってその間の短絡を大幅に減少させることができる。

また、上述したように透明セラミック電極 5 が透明绝缘層 1 8 を介して他の電極及び配線とは別平面上にあって短絡を防止できることから、第2図に明らかなように、信号線（ドレイン線） 3 及び走査線（ゲート線） 4 に囲まれた全ての領域に透明セラミック電極 5 を配設することができ、すなわち第5図に示した間隔をゼロとすることができます。そればかりでなく、平面的に見て、透明セラミック電極 5 を信号線 3 及び走査線 4 上に重ねるように配設することもできる。このようにすることにより、不透明領域（TFT 領域及び配線領域）を除くすべて

特開昭64-68728 (4)

の領域を有効表示エリアとすることができるので、有効表示面積はとりうる最大の面となる。本実施例によれば、開口率70%以上(健常は50%以下)を実現できる。

しかも、本実施例では、コンタクトホール19内及びその入口付近に薄い透明耐熱電極5と厚い金属層20との2層構造を有し、この2層構造を介して、透明绝缘層18上の透明耐熱電極5とソース電極13とが接続されている。實際上、上記薄い金属層20の接続によってコンタクトホール19が埋められることになるから、上記の接続は確実になる。そのため、例えばコンタクトホール19の入口の角部で透明耐熱電極5の切断が生じている場合であっても、この部分は電気的には金属層20を介して良好な接続状態を保つことができ、よってソース電極13と透明耐熱電極5とは確実に接続される。このことから、透明耐熱電極5を例えば500人程度に薄く形成でき、従って、透明耐熱電極5を厚くすることによって生じる前述した問題(加工精度の低下及び光透過率の低下)

が起こることはない。

次に、第3回回一例を参照して、上記構成のPTTの製造工程を説明する。

まず、第3回回に示すように、裏面の洗浄された透明な绝缘基板2上に、スパッタリング等いは蒸着等で例えば1000人程度の金属膜を被石し、この金属膜をフォトリソグラフィ法等でバーニングすることによって、ゲート電極14及び走査線(ゲート線、第2回及び第4回参照)4を形成する。绝缘基板2としてはガラス、石英、サファイア等を用いることができ、またゲート電極14及び走査線4としてはクロム、チタン、タングステン、タルタル、銅等の金属を用いることができる。

その後、第3回回に示すように、ゲート電極14及び走査線(ゲート線)4を覆って、绝缘基板2の一面に绝缘層(ゲート绝缘層)11を、アラズマCVD法等により例えば3000人厚に形成する。绝缘層11としては強化シリコン(SiN)又は酸化シリコン(SiO<sub>2</sub>)等を使用できる。

統いて、第3回回に示すように、绝缘層11上にアモルファスシリコン(α-Si)等からなる半導体層16と高温度のアモルファスシリコン(α-n-Si)等からなるコンタクト層15をアラズマCVD法等によりそれぞれ例えば1000人、500人等に相間形成し、ゲート電極14の上方及びその近辺だけを覆うようにフォトリソグラフィ法等を用いてバーニングする。半導体層16及びコンタクト層15としては、上述したアモルファスシリコン以外にも、アモルファスの強化シリコン(SiC)、テルル、セレン、ゲルマニウム、強化カドミウム(CdS)、カドミウムセレン(CdSe)等を用いることができる。

次に、コンタクト層15及び绝缘層11を覆うように蒸着もしくはスパッタリング等で例えば1000人程度の金属膜を形成し、この金属膜及びコンタクト層15をフォトリソグラフィ法等でバーニングすることにより、第3回回に示すようにゲート電極14の開口部の上方にドレイン電極12及びソース電極13を形成する。この際、ド

レイン電極12から伸びた信号線(ドレイン線、第2回及び第4回参照)3をも同時に形成する。ドレイン電極12、ソース電極13及び信号線3としては、クロム、チタン、タングステン、タンタル、銅等の金属を用いることができる。

以上の工程により、绝缘基板2上にトランジスタ領域17が形成される。次に、上記トランジスタ領域17、走査線(ゲート線)4及び信号線(ドレイン線)3の形成された绝缘層11上を覆って、第3回回に示す様に、裏面の平坦化された透明绝缘層18をスピンドルコート法等により形成する。透明绝缘層18としてはポリイミド、アクリル、あるいはシラノール系化合物の塗布、焼成によって形成された绝缘膜(SOC膜)等の透明な绝缘膜を使用でき、その上面からソース及びドレイン電極13、12までの厚さが例えば3000人程度となるようとする。統いて、通常のエッティングもしくはアラズマエッティング等を利用して、透明绝缘層18の上面からソース電極12にかけてコンタクトホール19を形成する。

特開昭64-68728 (5)

次に、透明絶縁層18上及びコンタクトホール19内に透明電極材料と金属材料とを順次蒸着もししくはスパッタリングすることにより2層構造を形成し、これをバーニングすることによって、第3回目に示すように各電極領域毎に透明電極電極5及び金属層20を形成する。この際、透明電極電極5に例えれば500~1000Å程度の厚さとし、一方、金属層20の厚さは例えばコンタクトホール19の厚さの約2倍である6000Å程度とする。透明電極材料としては酸化錫(SnO<sub>2</sub>)、酸化インジウム(I<sub>2</sub>O<sub>5</sub>)、ITO等を使用でき、金属材料としてはゴム、鋼、アルミニウム等を使用できる。

続いて、第3回目に示すように、トランジスタ領域の上方のみを覆うようにフォトレジスト21を形成する。そして最後に、金属層20のフォトレジスト21によって覆われていない領域をエッチングで除去し、その後にフォトレジスト21を除去することにより、第3回目に示すような本実施例のTFT構造が得られる。

とドレイン電極(信号線)との短絡をなくすことができ、しかも透明電極電極の面積を広げて有効表示面積を著しく大きくとることができる。

しかも、コンタクトホール内及びその近傍には透明電極電極と金属層との2層構造を有し、この二層構造を介して透明電極電極とソース電極とを接続したことにより、透明電極電極の厚みを増加させることなしに上記の接続を確実に行うことができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示す断面図。

第2図は第1図に示したTFT及びその近傍における電極及び配線の配置状態を示す平面図。

第3回山一時は両実施例の前段トランジスタ(TPT)の製造工程図。

第4図は従来のアクリティップマトリクスディスプレイの構造図。

第5図は第4図のアクリティップマトリクスディスプレイの構造図。

上述した製造工程を採用すれば、遮光基板2上に複数形成されたすべてのTFTの電気的特性は、第3回の行程の後、透明電極電極5及び金属層20の形成が終了した時点で能率よく測定することができる。即ち、透明電極電極5及び金属層20が形成された状態では、すべての透明電極電極5が共通接続されているので、TFTのソース電極に接続させるための外部取り出し用接栓子を金属層20のみに接続すれば良く、測定が容易になるという利点がある。

また、透明絶縁層18の形成工程後は高溫を必要とする工程が存在せず、透明絶縁層18としては高クセスパッタリングの温度(150°C程度)に耐えうるものであればよいので、上述したポリイミドやアクリル等のような耐熱性の低い材料も使用できる。

#### (発明の効果)

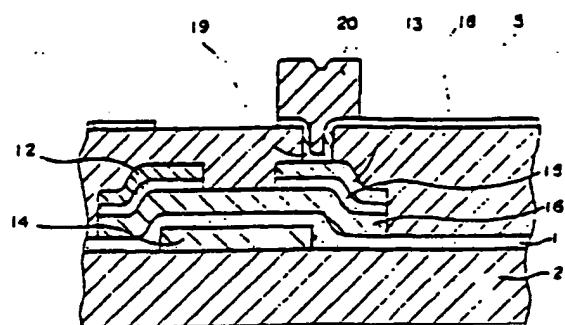
以上説明したように、本発明によれば、ドレイン電極と透明電極電極とを透明絶縁層を介して互いに別平面上に形成したことにより、透明電極電極

第6図は第5図に示したTFT及びその近傍のA-A拡大断面図である。

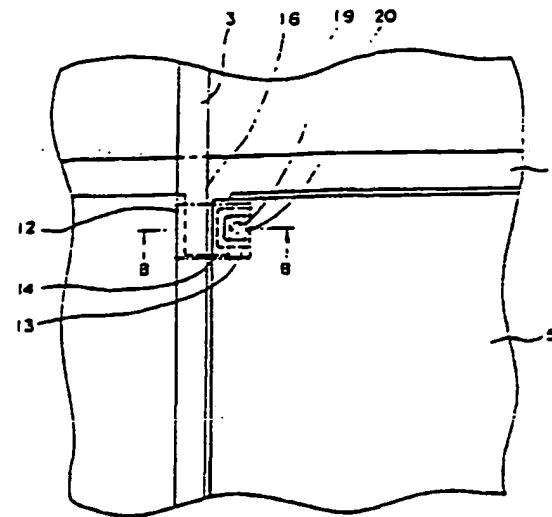
- 2 ... 遮光基板、
- 3 ... 信号線(ドレイン線)、
- 4 ... 走査線(ゲート線)、
- 5 ... 透明電極電極、
- 11 ... 絶縁層(ゲート绝缘層)、
- 12 ... ドレイン電極、
- 13 ... ソース電極、
- 14 ... ゲート電極、
- 15 ... コンタクト層、
- 16 ... 半導体層、
- 17 ... トランジスタ領域、
- 18 ... 透明絶縁層、
- 19 ... コンタクトホール、
- 20 ... 金属層、

特許出願人 カシオ計算機株式会社

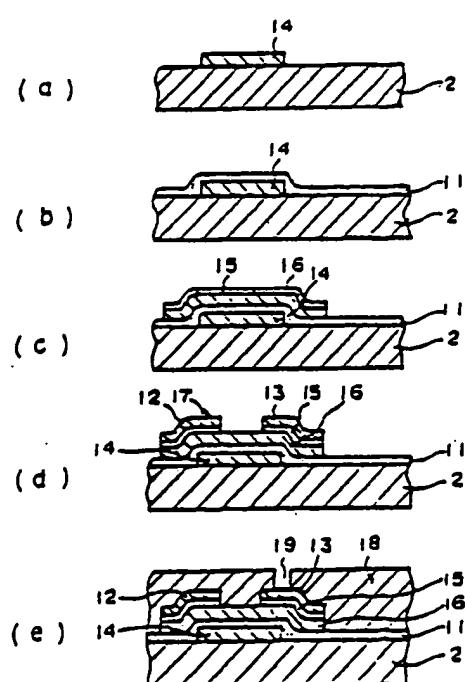
特開昭 64-68728 (6)



第 1 図

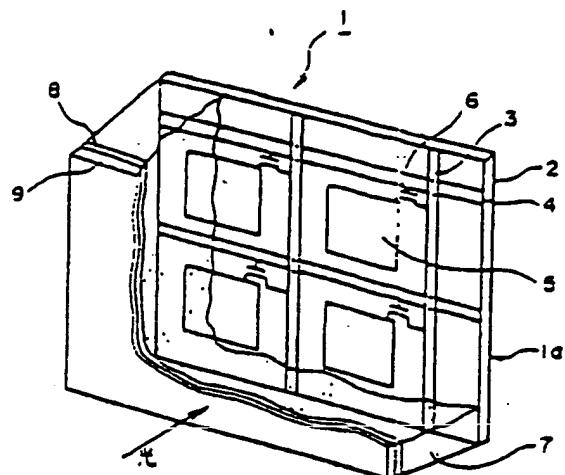


第 2 図

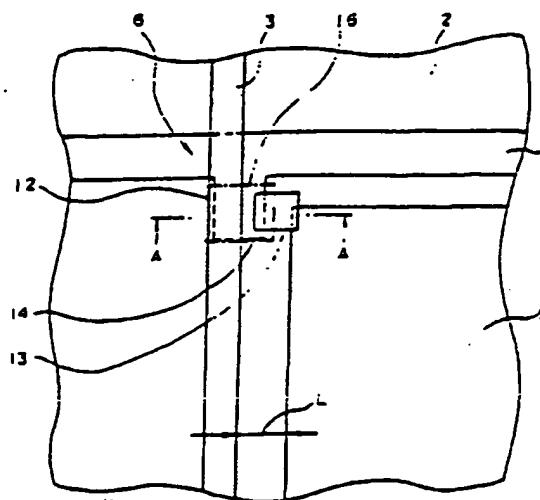


第 3 図

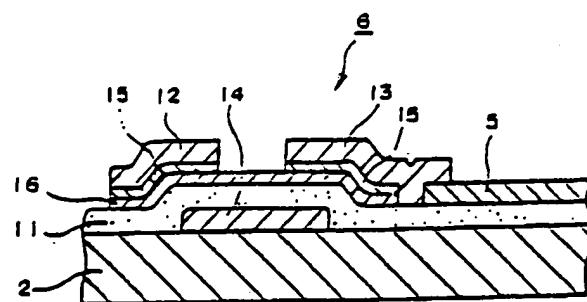
特開昭64-68728 (7)



第 4 図



## 第 5 図



### 第 6 図